

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0041774
Application Number PATENT-2002-0041774

출원년월일 : 2002년 07월 16일
Date of Application JUL 16, 2002

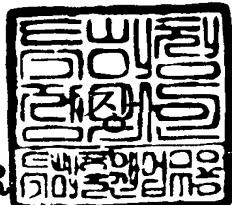
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 01월 10일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.07.16
【국제특허분류】	H01L
【발명의 명칭】	산화막용 CMP 슬러리 조성을 및 이를 이용한 반도체 소자의 제조 방법 The CMP Slurry Composition for Oxide and Method of Forming Semiconductor Device Using the Same
【발명의 영문명칭】	
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	정종구
【성명의 영문표기】	JUNG, Jong Goo
【주민등록번호】	711022-1635317
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 황골주공아파트 145-1903
【국적】	KR
【발명자】	
【성명의 국문표기】	이상익
【성명의 영문표기】	LEE, Sang Ick
【주민등록번호】	640325-1109921

1020020041774

출력 일자: 2003/1/11

【우편번호】 467-860

【주소】 경기도 이천시 부발읍 아미리 753 현대7차아파트 704-1901

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사를 청구합니다. 대리인
이후동 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 19 항 717,000 원

【합계】 749,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 산화막용 화학적 기계적 연마 (Chemical Mechanical Polishing; 이하 “CMP” 라 칭함) 슬러리 및 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 HXO_n (이때, n은 1~4)의 구조의 화합물을 포함하는 CMP 슬러리 및 이를 이용하여 다층 막을 연마할 때, 충간 연마 속도 차이를 감소시켜 단차가 발생되지 않으므로 안정한 엘피피 (landing plug poly)를 형성할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

이와 같은 방법에 의하여 충간 절연막 층 상부에 각 층의 연마 부산물과 슬러리 잔류물이 매립되는 것을 방지할 뿐만 아니라, 워드라인 배선과 스토리지 노드 콘택 (storage node contact) 간의 브리지 (bridge)를 방지함으로써, 누설 전류 및 후속 공정의 정렬 오차 (miss-align)를 감소시켜 반도체 소자의 수율을 향상시킨다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

산화막용 CMP 슬러리 조성물 및 이를 이용한 반도체 소자의 제조 방법{The CMP Slurry Composition for Oxide and Method of Forming Semiconductor Device Using the Same}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래 방법의 CMP 공정으로 반도체 소자를 제조하는 방법을 도시한 개략도.

도 1g 내지 도 1h는 종래 방법에 의한 플러그 분리 공정 후의 단면도.

도 2a 내지 도 2d는 본 발명의 슬러리를 이용한 CMP 공정으로 반도체 소자를 제조하는 방법을 도시한 개략도.

< 도면의 주요 부분에 대한 간단한 설명 >

1, 111 : 워드라인 전극 3, 113 : 하드마스크 질화막

5, 115 : 스페이서 막 7, 117 : 충간 절연막

9, 119 : 실리콘 층 11, 121 : 플러그

15 : 잔류물 17 : 피노키오 결점

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 산화막용 화학적 기계적 연마 (Chemical Mechanical Polishing; 이하 “CMP” 라 칭함) 슬러리 및 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 H_2O_n (이때, n은 1~4)의 구조의 화합물을 포함하는 CMP 슬러리 및 이를 이용하여 다층 막을 연마할 때, 충간 연마 속도 차이를 감소시켜 단차가 발생되지 않으므로 안정한 엘피피 (landing plug poly)를 형성할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<10> 현재 반도체 소자는 미세화, 대용량화 및 고집적화를 위해서 반도체 소자의 트랜지스터, 비트 라인 (bit-line) 및 캐패시터 (capacitor) 등을 형성한 다음, 각각의 소자를 전기적으로 연결할 수 있는 금속 배선 등과 같은 다층 배선을 형성하기 위한 후속 공정을 필수적으로 요구하고 있다.

<11> 또한, 상기 금속 배선을 형성하기 위한 후속 공정은 증착 및 식각 공정을 수행하기 전에 형성된 여러 층, 예를 들면 산화막 층, 충간 절연막 층 및 질화막 층 등을 동시에 일반적인 산화막용 슬러리 하나만을 이용하여 연마하는 단계를 포함하고 있다.

<12> 그러나, 이와 같이 단일 슬러리만 사용하는 연마 공정은 사용하는 슬러리에 대한 각 층의 연마 속도 즉, 연마 선택비가 다르기 때문에, 각 층마다 단차가 형성되는 문제점을 발생시키고, 이로 인하여 소자의 미세화를 이루기 위한 후속 공정을 적용하기가 점점 어려워지게 되었다.

<13> 특히, 상기와 같이 단차가 발생되면서 문제가 되는 것이 다른 층보다 연마 속도 큰 충간 절연막 상부에 연마 시 발생되는 각 층의 연마 부산물과 슬러리내의 연마제 잔류물 등이 매립되면서 플러그 간에 브리지를 형성하게 되고, 그 결과로 인해 반도체 소자에 결함 (defect)이 발생된다는 것이다.

<14> 이러한 상기 종래의 공정을 첨부된 도면에 의거하여 상세히 설명하되, 반도체 소자의 공정 방법을 예를 들어 설명한다.

<15> 도 1a에 도시한 바와 같이 셀 (cell) 영역의 반도체 기판 즉, 실리콘 기판 상부의 워드라인 (1)을 증착하고, 그 상부에 질화막 하드마스크 층 (3)을 t_1 ($1500\sim3000\text{\AA}$) 두께 만큼 증착하여 워드 라인 패턴을 형성한다. 이 부분은 도 1b에 도시한 바와 같은 워드라인 패턴의 평면도에서 단면 (A-A') 부분을 관찰하여 알 수 있다.

<16> 상기 워드라인 패턴 형성 후 스페이서 막 층 (5)을 형성하고, 그 상부에 산화막을 이용한 충간 절연막 층 (7)을 t_2 ($5000\sim8000\text{\AA}$) 두께 만큼 형성 한 후, 평탄화 한다.

<17> 도 1c에서 도시한 바와 같이 상기 평탄화 된 충간 절연막 층 (7)의 셀 영역에 엘피씨 (landing plug contact) 마스크를 이용한 식각 공정으로 플러그용 콘택 홀을 형성하면, 워드라인 패턴이 노출되기 때문에 패턴 상부의 질화막 하드마스크 층 (3)은 t_3 ($1000\sim2500\text{\AA}$) 두께 만큼 감소한다 ($t_1 > t_3$). 또한, 충간 절연막 층 (7) 역시 상기 평탄화 공정으로 일부 제거되었기 때문에 처음 두께 보다 얇은 t_4 ($4500\sim7500\text{\AA}$)의 두께 값 을 가진다 ($t_2 > t_4$).

<18> 상기 식각 공정으로 콘택 홀이 형성되지 않은 영역 (a)과 콘택 홀을 형성하기 위하여 충간 절연막을 제거한 영역 (b)이 발생되는 것을 알 수 있고, 이 부분은 도 1d에서 나타내는 단면 (B-B')을 통해 관찰 할 수 있다.

<19> 도 1e에 도시한 바와 같이 상기 형성된 콘택 홀 상부에 실리콘 층 (9)을 증착할 때, 상기 (a) 영역과 (b) 영역의 단차로 인하여, 실리콘 층 (9) 역시 t_5 ($1000\sim2000\text{\AA}$) 정도의 후속 단차를 가진다.

<20> 그 후, 플러그 (11)를 형성하기 위하여 상기 증착한 실리콘 층 (9), 충간 절연막 층 (7) 및 일부 하드마스크 질화막 층 (3)을 식각한다. 이때 제거되는 두께는 t_6 ($2200\sim3200\text{\AA}$) 이상일 때 바람직하다.

<21> 도 1f에 도시한 바와 같이 플러그 (11)를 분리하기 위하여 하드마스크 질화막이 노출 될 때 까지 일반적인 산화막용 슬러리를 이용한 연마 공정을 수행한다.

<22> 상기 일반적인 산화막용 슬러리는 콜로이달 (colloidal) 또는 품드 (fumed) 실리카 (SiO_2) 또는 알루미나 (Al_2O_3) 연마제를 포함하는 pH 2~12의 통상의 산화막 CMP용 슬러리를 사용한다.

<23> 그러나, 일반적으로 다층 막을 제거하기 위해서는 막 종류간 연마 속도가 비슷해야 하지만 종래 사용하는 슬러리의 경우 산화막으로 구성된 충간 절연막 층의 연마 속도가 워드라인 하드마스크 질화막 층이나 실리콘 층에 비해 3배 이상의 높은 선택비를 가지고 있다.

<24> 그래서, 상기와 같은 슬러리를 이용한 연마 공정 후에는 각 층의 연마 속도의 차이로 인하여 하드마스크 질화막 층 (3)과 실리콘 층 (9) 사이에 $400\sim500\text{\AA}$ 의 단차 (t_7)가

발생하고, 하드마스크 질화막 (3)과 층간 절연막 층 (7) 사이에 460~700Å 정도의 단차 (t8)가 발생하였다.

<25> 특히, 이러한 단차가 상대적으로 심한 층간 절연막 층 (7) 상부에는 연마 시 발생되는 각 층의 연마 부산물과 슬러리의 연마제 잔류물 (15) 등이 매립되어 피노키오 결점 (17)이 발생되었다 (도 1g 참조).

<26> 상기 피노키오 결점 (17)이란 질화막에 대한 선택비가 높은 산화막의 디싱 (dishing)으로 발생되는 것으로, 이러한 현상이 발생된 LPP 구조의 단면 부분 (C-C')은 도 1h에 도시한 바와 같다.

<27> 이와 같이 종래 공정에서는 단일 슬러리를 사용하는 다층 연마 공정으로 단차 및 결점이 발생되어 플러그 간에 브리지가 형성되고, 반도체 소자의 결함 (17)이 발생되면서 누설 전류가 증가하고, 후속 공정에서 정렬 오차 (miss-align)를 발생시켜, 반도체 소자의 수율을 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

<28> 이에 본 발명은 상기와 같은 문제점을 해결하기 위하여 각층에 대해 연마 선택비가 유사한 산화막용 CMP 슬러리를 제공하는 것을 목적으로 한다.

<29> 또한, 본 발명에서는 상기 산화막용 CMP 슬러리를 이용하여 안전한 플러그를 형성하는 반도체 소자 제조 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<30> 상기 목적을 달성하기 위하여 본 발명에서는 용매와 용매내에 분산된 연마제를 포함하는 슬러리 조성물에 있어서, HXO_n (이때, n은 1~4) 구조의 화합물을 포함하는 산화막용 CMP 슬러리 조성물을 제공한다.

<31> 상기 슬러리 조성물의 용매는 종류수 또는 초순수를 사용하고, 연마제는 20~300nm의 입자 크기를 가지는 콜로이달 또는 품드 형의 실리카, 알루미나 또는 세리아 (CeO_2)를 포함한다.

<32> 이때, 상기 실리카는 슬러리 총 중량에 대해 15~25 wt%로 포함되고, 알루미나는 슬러리 총 중량에 대해 5~15 wt%로 포함되며, 세리아는 슬러리 총 중량에 대해 5~15 wt%로 포함되는 것이 바람직하다.

<33> 상기 슬러리의 pH는 7 이하, 바람직하게는 pH 2~5 이다.

<34> 또한, 상기 HXO_n 화합물의 X는 Cl, Br 또는 I와 같은 할로겐 원소로, 상기 HXO_n 화합물을 예를 들면, HClO , HClO_3 , HClO_4 , HBrO_3 또는 HIo_3 등이 있으며, 바람직하게는 HIO_4 를 사용한다.

<35> 또한, 상기 HXO_n 화합물은 슬러리 총 중량에 대해 0.01~10 wt%, 바람직하게는 0.1~5 wt%가 포함된다.

<36> 일반적으로 산성 슬러리 내에서 산화막의 연마 선택비는 낮고, 질화막의 연마 선택비는 높으며, 실리콘 층의 연마 선택비는 산화막이나 질화막에 비해 낮다. 그러므로, 본 발명에서는 슬러리 내에 상기 HXO_n 화합물을 pH 조절제로 포함시켜, 질화막의 연마 선택비는 높이면서, 산화막의 연마 선택비를 낮출 수 있다.

<37> 즉, 상기 본 발명의 HXO_n 화합물을 포함하는 산화막용 CMP 슬러리 조성물은 실리콘 층 및 질화막 하드마스크 층에 대해 산화막으로 구성된 층간 절연막 층의 연마 선택비가 3 이하, 바람직하게는 2 이하의 연마 선택비를 가지게 된다.

<38> 또한, 상기 HXO_n 화합물은 슬러리 내에서 산화제로 사용되어 실리콘 표면에 연마되 기 쉬운 산화막을 형성시키므로, 실리콘 층의 연마 속도를 높일 수 있다.

<39> 즉, 상기 단일 슬러리에 대해 각 층의 연마 선택비가 유사하게 되어, 비슷한 속도로 연마할 수 있으므로, 본 발명의 슬러리를 이용한 CMP 공정을 실시한 후에도 각 층 사이의 단차가 발생하지 않아, 종전과 같은 연마 공정 시에 층간 절연막 층 상부에 각 층의 연마 부산물과 슬러리 잔류물이 매립되지 않는다.

<40> 또한, 본 발명에서는 상기 본 발명의 HXO_n 화합물을 포함하는 산화막용 CMP 슬러리를 이용하여

<41> 반도체 기판 상부에 워드라인을 증착하는 단계;

<42> 상기 워드 라인의 중첩 부분에 질화막 하드마스크 층을 증착하여 워드 라인 패턴을 형성하는 단계;

<43> 상기 워드 라인 패턴 측면에 질화막 스페이서를 형성하는 단계;

<44> 상기 워드 라인 패턴 상부에 평탄화한 층간 절연막 층을 형성하는 단계;

<45> 상기 층간 절연막을 기판이 노출 될 때 식각하여 콘택홀을 형성하는 단계;

<46> 상기 콘택홀이 형성된 층간 절연막 전면에 대해 실리콘 층을 형성하는 단계; 및

<47> 용매와 용매내에 분산된 연마제를 포함하는 슬러리 조성물에 있어서, HXO_n 구조의 화합물을 포함하는 본 발명의 산화막용 CMP 슬러리 조성물을 이용하여 상기 질화막 하드

마스크 층이 노출될 때 까지 상기 실리콘 층 및 층간 절연막 층에 대해 CMP 공정을 실시하는 단계를 포함하는 반도체 소자의 형성 방법을 제공한다.

- <48> 상기 층간 절연막은 산화막을 이용하여 형성하는 것이 바람직하다.
- <49> 이하 본 발명을 도면을 들어 본 발명을 상세히 설명한다.
- <50> 먼저, 도 2a에서 도시한 바와 같이 반도체 기판 즉, 실리콘 기판 상부의 셀에 워드라인 (111)을 형성하고, 그 상부에 질화막 하드마스크 층 (113)을 t9 (1500~3000Å) 두께 만큼 증착한다.
- <51> 이때, 상기 워드라인은 도핑 실리콘, 폴리 실리콘, 텅스텐 (W), 텅스텐 나이트라이드 (WN), 텅스텐 실리사이드 (WSi_x), 또는 티타늄 실리사이드 ($TiSi_x$) 등을 사용하여 형성하는 것이 바람직하다.
- <52> 그 후, 게이트 산화막에 대해 고선택비를 갖도록 사염화 탄소 (CCl_4)나 염소 (Cl_2) 등과 같은 염소 (chlorine) 가스를 소스로 사용하는 플라즈마 식각 공정으로 워드라인 패턴을 형성한다.
- <53> 상기 워드라인 패턴 형성 후, 그 측면에 TEOS (Tetraethoxysilicate glass) 또는 실란계열 산화막 (silane (SiH_4)-base oxide)을 LP 화학 기상 증착법 (Low-Pressure CVD)으로 증착하고, 전면 식각하여 산화막 스페이서 (115)를 형성한다.
- <54> 상기 워드라인 패턴 상부에 PSG (phosphosilicate glass), FSG (fluorosilicate glass), PE-TEOS (plasma enhanced-tetraethoxysilicate glass), PE- SiH_4 (plasma enhanced-silane), HDP USG (high density plasma undoped silicate glass), HDP PSG (high density plasma phosphosilicate glass) 또는 APL (atomic planarization layer)

옥사이드, 바람직하게는 BPSG (borophosphosilicate glass) 등을 소스로 산화막을 t_{10} 두께 ($5000\sim8000\text{\AA}$) 만큼 증착하여 충간 절연막 (117)을 형성한 후, 후속 공정을 위하여 평탄화 한다.

<55> 도 2b에 도시한 바와 같이 상기 평탄화 된 충간 절연막 층 (117)의 셀 영역에 엘피씨 마스크를 이용한 식각 공정으로 플러그용 콘택 홀을 형성한다.

<56> 상기 플러그용 콘택 홀을 형성하기 위한 식각 공정은 질화막에 대한 선택비가 높은 C_2F_6 또는 C_3F_8 , 바람직하게는 C_4F_8 소스를 이용한 자기정렬 콘택 (self-aligned contact; SAC) 공정으로 수행한다

<57> 이때, 상기 식각 공정으로 워드라인 패턴이 노출되기 때문에 패턴 상부의 질화막 하드마스크 (113)는 t_{11} ($1000\sim2500\text{\AA}$) 두께로 감소한다 ($t_9 > t_{11}$). 또한, 충간 절연막 층 (117) 역시 상기 평탄화 공정으로 일부 제거되어 처음 두께 보다 얇은 t_{12} ($4500\sim7500\text{\AA}$)의 값을 가진다 ($t_{10} > t_{12}$).

<58> 도 2c에 도시한 바와 같이 상기 플러그용 콘택 홀 상부에 실리콘 층 (119)을 증착 할 때, 콘택 턱 홀이 형성되지 않은 영역과 콘택 홀을 형성하기 위하여 충간 절연막을 제거한 영역의 단차로 인하여, 실리콘 층 (119) 역시 t_{13} ($1000\sim2000\text{\AA}$) 정도의 후속 단차를 가진다.

<59> 상기 실리콘 층 (119)은 실란 (SiH_4) 또는 디실란 (Si_2H_6) 소스를 이용한 도핑 실리콘 또는 폴리 실리콘으로 형성되는 것이 바람직하다.

<60> 그리고, 플러그 (121)를 형성하기 위하여 상기 실리콘 층 (119), 층간 절연막 (117) 및 일부 절화막 하드마스크 (113)을 식각한다. 이때 제거되는 두께는 t_{12} ($2200\sim3200\text{\AA}$)이상일 때 바람직하다.

<61> 도 2d에 도시한 바와 같이 플러그를 분리하기 위하여 하드마스크 절화막이 노출 될 때 까지 본 발명의 HXO_n 화합물을 포함하는 슬러리를 이용한 연마 공정을 수행하여 상기 플러그 (121)를 분리시키면, 각 층 사이의 단차가 발생하지 않는 평탄한 면을 얻을 수 있고, 상기 층간 절연막 층 상부에 연마 부산물과 슬러리 잔류물이 매립되지 않으며, 연마 후에도 t_{15} ($500\sim1500\text{\AA}$) 두께의 하드마스크 층을 얻을 수 있다.

<62> 이때, 상기 CMP 공정은 연마 패드로 하드 패드를 사용하는 것이 바람직하며, 연마 조건은 연마 압력 $2\sim6\text{ psi}$ 및 테이블 회전수 $300\sim700\text{ rpm}$ 에서 실시한다.

<63> 이하 본 발명을 실시예에 의하여 상세히 설명한다. 단 실시예는 발명을 예시하는 것일 뿐 본 발명이 하기 실시예에 의하여 한정되는 것은 아니다.

<64> I. 본 발명의 슬러리 제조.

<65> 제조예 1.

<66> 연마제로 콜로이달 실리카를 20 wt% 포함하고 있는 산화막용 CMP 슬러리 95 wt%에 HClO_4 5 wt%를 응집하지 않도록 교반하면서 첨가한 후, 혼합물을 완전히 혼합되어 안정화 될 때까지 약 30분 동안 더 교반하여 본 발명의 슬러리를 제조하였다.

<67> 제조예 2.

<68> 연마제로 품드 실리카를 15 wt% 포함하고 있는 산화막용 CMP 슬러리 90 wt%에 HClO_3 1 wt%를 응집하지 않도록 교반하면서 첨가하고, 증류수를 9 wt% 첨가한 후, 혼합

물을 완전히 혼합되어 안정화 될 때까지 약 30분 동안 더 교반하여 본 발명의 슬러리를 제조하였다.

<69> 제조예 3.

<70> 연마제로 알루미나를 10 wt% 포함하고 있는 산화막용 CMP 슬러리 80 wt%에 HBrO₃ 10 wt%를 응집하지 않도록 교반하면서 첨가하고, 증류수를 10 wt% 더 첨가함한 후, 혼합물을 완전히 혼합되어 안정화 될 때까지 약 30분 동안 더 교반하여 본 발명의 슬러리를 제조하였다.

<71> 제조예 4.

<72> 연마제로 세리아를 1 wt% 포함하고 있는 산화막용 CMP 슬러리 90 wt%에 HC10 5 wt%를 응집하지 않도록 교반하면서 첨가하고, 증류수를 5 wt% 더 첨가함한 후, 혼합물을 완전히 혼합되어 안정화 될 때까지 약 30분 동안 더 교반하여 본 발명의 슬러리를 제조하였다.

<73> II. 본 발명의 슬러리를 이용한 반도체 소자 제조

<74> 실시예 1. 본 발명의 슬러리를 이용한 연마

<75> 상기 제조예 1에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 실리콘 층 및 층간 절연막에 대해 CMP 공정을 실시하면, 단차 및 결점이 발생하지 않는 안정한 플러그를 형성할 수 있었다.

<76> 실시예 2. 본 발명의 슬러리를 이용한 연마

<77> 상기 제조예 2에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하면, 단차 및 결점이 발생하지 않는 안정한 플러그를 형성할 수 있었다.

<78> 실시예 3. 본 발명의 슬러리를 이용한 연마

<79> 상기 제조예 3에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하면, 단차 및 결점이 발생하지 않는 안정한 플러그를 형성할 수 있었다.

<80> 실시예 4. 본 발명의 슬러리를 이용한 연마

<81> 상기 제조예 4에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하면, 단차 및 결점이 발생하지 않는 안정한 플러그를 형성할 수 있었다.

【발명의 효과】

<82> 이상에서 살펴본 바와 같이, 본 발명의 HXO_n 화합물을 포함하는 산화막용 CMP 슬러리 및 이를 이용한 CMP 공정은 각 층의 연마 선택비를 유사하게 하여 연마 시 단차가 발생되는 것을 감소시킬 뿐만 아니라, 충간 절연막 층 상부에 각 층의 연마 부산물과 슬러리 잔류물이 매립되는 것을 방지하고, 워드라인 배선과 스토리지 노드 콘택 (storage node contact) 간에 발생하는 브리지를 방지함으로써, 누설 전류 및 후속 공정의 정렬 오차를 감소시켜 반도체 소자의 수율을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

용매와 용매내에 분산된 연마제를 포함하는 슬러리 조성물에 있어서, 상기 조성물은 HXO_n (이때, n은 1~4) 구조의 화합물을 포함하는 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 2】

제 1 항에 있어서,

상기 연마제는 20~300nm의 입자 크기를 가지는 콜로이달 (colloidal) 또는 품드 (fumed) 실리카 (SiO_2)인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 3】

제 1 항에 있어서,

상기 연마제는 알루미나 (Al_2O_3)인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 4】

제 1 항에 있어서,

상기 연마제는 세리아 (CeO_2)인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 5】

제 1 항에 있어서,

상기 산화막용 슬러리 조성물은 pH 7 이하인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 6】

제 5 항에 있어서,

상기 산화막용 슬러리 조성물은 pH 2~5인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 7】

제 1 항에 있어서,

상기 X는 Cl, Br 및 I로 이루어진 군으로부터 선택된 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 8】

제 1 항에 있어서,

상기 HXO_n 화합물은 HCIO , HCIO_3 , HCIO_4 , HBrO_3 , HIO_3 및 HIO_4 로 이루어진 군으로부터 선택된 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 9】

제 1 항에 있어서,

상기 HXO_n 화합물은 슬러리 총 중량에 대해 0.01~10 wt%로 포함되는 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 10】

제 9 항에 있어서,

상기 HXO_n 화합물은 슬러리 총 중량에 대해 0.1~5 wt%로 포함되는 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 11】

제 1 항에 있어서,

상기 산화막용 슬러리 조성물은 질화막 및 실리콘 층에 대한 충간 절연막의 연마 선택비가 3 이하인 것을 특징으로 하는 산화막용 CMP 슬러리 조성물.

【청구항 12】

반도체 기판 상부에 워드라인을 증착하는 단계;

상기 워드 라인의 중첩 부분에 질화막 하드마스크 층을 증착하여 워드 라인 패턴을 형성하는 단계;

상기 워드 라인 패턴 측면에 질화막 스페이서를 형성하는 단계;

상기 워드 라인 패턴 상부에 평탄화한 충간 절연막 층을 형성하는 단계;

상기 충간 절연막을 기판이 노출 될 때 까지 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 충간 절연막 전면에 대해 실리콘 층을 형성하는 단계; 및

용매와 용매내에 분산된 연마제를 포함하는 슬러리 조성물에 있어서, 제 1 항 기재의 산화막용 CMP 슬러리 조성물을 이용하여 상기 질화막 하드마스크 층이 노출될 때 까지 상기 실리콘 층 및 충간 절연막 층에 대해 CMP 공정을 실시하는 단계를 포함하는 반도체 소자의 형성 방법.

【청구항 13】

제 12 항에 있어서,

상기 워드라인은 도핑 실리콘, 폴리 실리콘, 텅스텐 (W), 텅스텐 나이트라이드 (WN), 텅스텐 실리사이드 (WSi_x) 및 티타늄 실리사이드 ($TiSi_x$)로 이루어진 군으로부터 선택된 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 12 항에 있어서,

상기 워드라인 패턴은 사염화 탄소 (CCl_4) 또는 염소 (Cl_2) 가스를 이용한 식각 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 12 항에 있어서,

상기 스페이서는 TEOS (Tetraethoxysilicate glass) 또는 실란계열 산화막 (silane (SiH_4))-base oxide)으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 12 항에 있어서,

상기 층간 절연막은 PSG (phosphosilicate glass), FSG (fluorosilicate glass), PE-TEOS (plasma enhanced-tetraethoxysilicate glass), PE- SiH_4 (plasma enhanced-silane), HDP USG (high density plasma undoped silicate glass), HDP PSG (high density plasma phosphosilicate glass), APL (atomic planarization layer) 옥사이드 및 BPSG (borophosphosilicate glass)로 이루어진 군으로부터 선택된 것을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 12 항에 있어서,

상기 콘택홀을 형성하는 식각 공정은 C_2F_6 , C_3F_8 또는 C_4F_8 소스를 이용하여 수행되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 12 항에 있어서,

상기 실리콘 층은 실란 (SiH_4) 또는 디실란 (Si_2H_6) 소스를 이용하는 도핑 실리콘 또는 폴리 실리콘으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

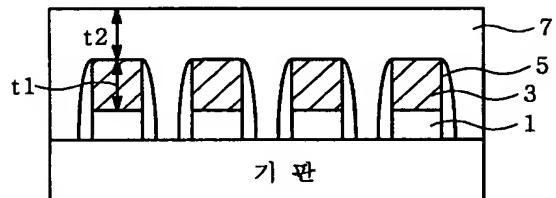
【청구항 19】

제 12 항에 있어서,

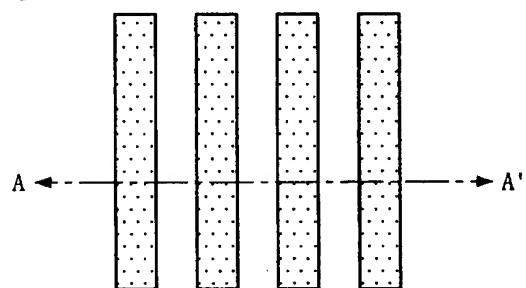
상기 CMP 공정은 하드 패드를 사용하여 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

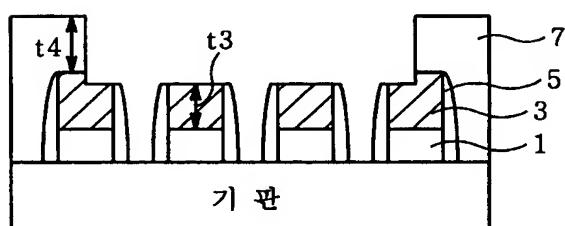
【도 1a】



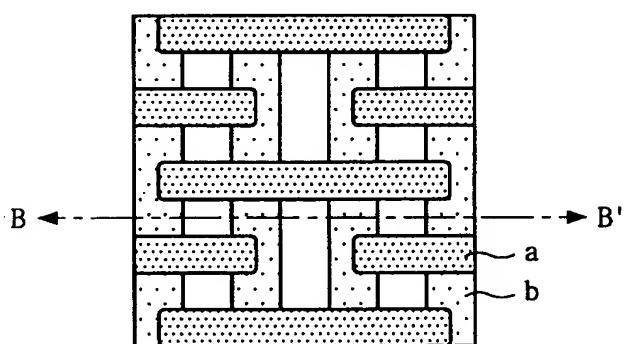
【도 1b】



【도 1c】



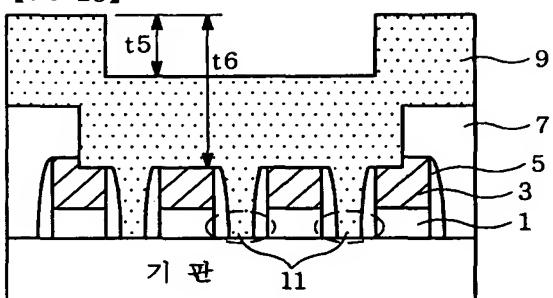
【도 1d】



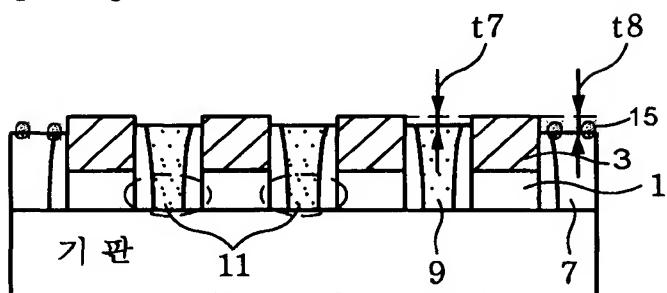
1020020041774

출력 일자: 2003/1/11

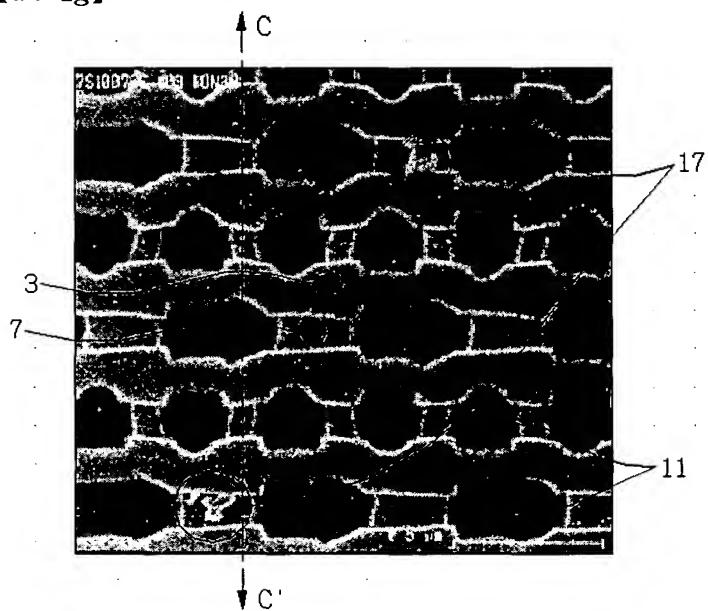
【도 1e】

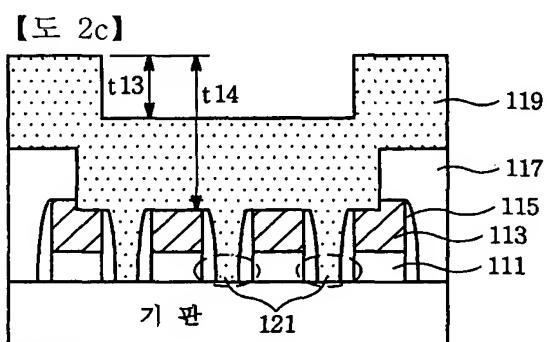
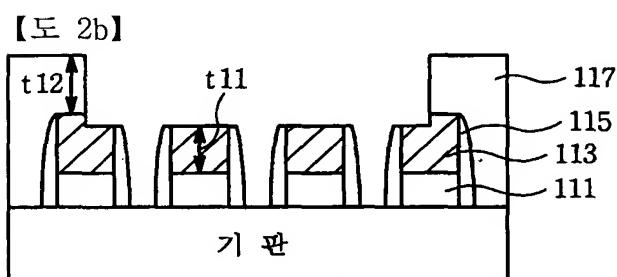
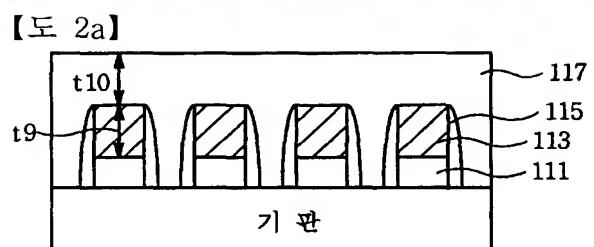
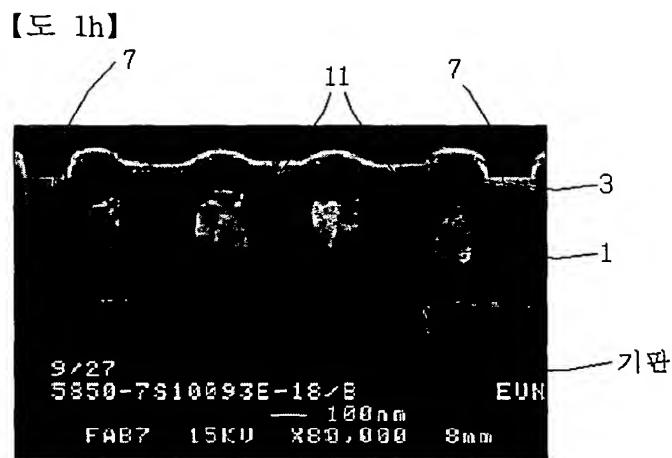


【도 1f】



【도 1g】





【도 2d】

